

(19) Japanese Patent Office (JP)

(11) Patent Application Koukai (disclosure)

(12) Public Patent Disclosure Bulletin (A)

S56-047996

(43) Bulletin Date: April 30, 1981

(51) Int. Cl.<sup>5</sup>      Identification Code      Internal File Nos.

G 11 C 17/00 101                      7010-5B

7/00

11/34                      7010-B

Number of inventions: 1

Request for examination: No

Total pages: 5

---

(54) Title of invention: Semiconductor memory device

(21) Patent Application No.: S54-121222

(22) Patent Application Date: September 20, 1979

(72) Inventor: Shigeki Yoshida

Nichiden-Toshiba Systems

1-4-10 Takanawa, Minato-ku, Tokyo

(71) Applicant: VLSI Technology Research Group

4-1-1 Miyazaki, Takatsu-ku, Kawasaki City

(74) Agent: Takehiko Suzue, Patent Attorney, with 2 others

## Description

### 1. Title of Invention

Semiconductor memory device

### 2. What is claimed is:

1. A semiconductor memory device comprising:

a memory element circuit consisting of a plurality of memory elements; and

a plurality of address decoders that divide said memory element circuit into a plurality of blocks in units of addresses and that specify an address while duplicating the memory elements in each block in block order.

### 3. Detailed Explanation of the Invention

The present invention relates to a semiconductor memory device that is dedicated to reading data.

The appearance of the MOS semiconductor memory device enabled the provision of large-scale electronic systems at low cost. Good examples of this are the small electronic calculator and the microcomputer system. The above-mentioned microcomputer system typically comprises a timing generator, a RAM, a ROM, a program counter, an instruction decoder, an ALU (Arithmetic and Logic Unit), and various registers, etc.

1

The above-mentioned ROM stores the program that runs this system. As the scale of these systems becomes larger, greater capacities and faster speeds are desired for the above-mentioned ROM. When a microcomputer comprises CMOS LSIs (Complementary MOS Large Scale Integrated Circuit), and the above-mentioned ROM is a p-channel FET, two types of ROM can be considered, a positive logic Nor ROM that connects the memory cells serially for output and a positive logic Nand ROM that connects the memory cells in parallel for output. When AI gate FETs are used, a higher degree of integration can be attained with the positive logic Nor ROM than with the positive logic Nand ROM, and further, even when higher degrees of integration by scaling are considered, the positive logic Nor ROM, which does not require long output signal lines, is superior to the positive logic Nand ROM. In addition, the positive logic Nor ROM is also superior from the viewpoint of power consumption. Nevertheless, the positive logic Nor ROM, which connects memory cells serially for output, has the disadvantage that operating speeds are slow because current must flow through FETs extending along several tens of stages.

2

p. 541

Figure 1 shows a dynamic ROM according to the prior art that has a positive logic Nor ROM configuration.

2

Typically, a dynamic ROM comprises a memory cell matrix 2 wherein a memory cell consists of a plurality of FETs  $1_1 \dots 1_i \dots 1_n$ , an address decoder 3 that selects address lines  $A_0 - A_n$  of the memory cell matrix 2, a column decoder 4 that selects column lines  $C_0 - C_m$ , a precharge FET 5, and discharge FETs  $6_0 - 6_m$ . Excluding the above-mentioned FET 5, the other FETs are all p-channel FETs; FET 5 only is an n-channel FET.

Given this type of ROM, let us use the case where the data at, for example, address 0 and column 0 is read. First, a clock pulse  $\theta_R$  that is input to the gate of precharge FET 5 and each of the gates of discharge FETs  $6_0 - 6_m$  changes to the 1 level ( $+V_{DD}$  level). At this timing, line  $A_0$  only changes to the 1 level, line  $C_0$  only of the column lines is turned on, the 0 level ( $-V_{DD}$  level) is output through the FET<sub>5</sub> and out the drain, the FET<sub>5</sub> drain, that is, point A.

3

Next, when  $\theta_R$  changes to the 0 level, the FET<sub>5</sub>, which has been until this point, is turned off. Since at this time, the FET  $1_1$  within the memory cell matrix 2 that has the 1 level signal from the address line  $A_0$  as its gate input is turned off, point A remains as is at the 0 level and the 0 level is output as data. Following this, data is read sequentially until address 0, column M is reached. Because there is no FET in this portion of the memory cell matrix 2, when  $\theta_R$  inverts from the 1 level to the 0 level, the 0 level signal from point A changes to the 1 level and the 1 level is output as data. In this type of prior art dynamic ROM, when the 1 level is read as data, the discharge current must flow through many FETs to the  $+V_{DD}$  side, and as a result, the operating speed becomes slow.

4

Here, if the maximum operating frequency of the above-mentioned ROM is assumed to be no more than one-half compared to the maximum operating frequencies of the other circuits such as the RAM, the program counter, etc., when a microcomputer that is configured using this ROM, the maximum operating frequency of the system overall matches the maximum operating speed of the ROM, so that the operating frequency of the system is low.

With the foregoing in view, an object of the present invention is to provide a semiconductor memory device that is capable of faster operation.

An embodiment according to the present invention is explained below with reference to the drawings. Figure 2 shows a configuration diagram of one embodiment of a semiconductor memory device according to the present invention. A dynamic ROM similar to that of the prior

3

art is illustrated here. In the figure, 11 and 12 are each a memory cell matrix wherein a plurality of FETs form the memory cells. Even-numbered addresses are assigned to each of the FETs in the memory cell matrix 11 on one side while odd-numbered addresses are assigned to each of the FETs in the memory cell 12 on the other side.

5

That is, the above-mentioned memory cell matrixes 11 and 12 comprise two blocks according to whether the FETs in the memory cell matrix is assigned a even address or an odd address. An address decoder 13 selects address lines  $A_0 - A_{2K}$  of the memory cell matrix 11 of the block that has been assigned the above-mentioned even addresses and an address decoder 14 selects address lines  $A_1 - A_{2K+1}$  of the memory cell matrix 12 of the block that has been assigned the above-mentioned odd addresses. A column decoder 15 operates synchronously with the above-mentioned address decoder 13 and selects column lines  $C_0 - C_M$  of the memory cell matrix 11. In addition, a column decoder 16 operates synchronously with the above-mentioned address decoder 14 and selects column lines  $C_0 - C_M$  of the memory cell matrix 12. Additionally, an FET 17 is the precharge FET of the memory cell matrix 11 of the even address block and FETs  $18_0 - 18_M$  are discharge FETs. Moreover, an FET 19 is the precharge FET of the memory cell matrix 12 of the odd address block and FETs  $20_0 - 20_M$  are discharge FETs.

6

p. 542

A clock pulse  $\theta_{R0}$  is supplied to the above-mentioned FETs 17 and  $18_0 - 18_M$ , and a clock pulse  $\theta_{R1}$  that is 180 degrees out of phase with the clock pulse  $\theta_{R0}$  is supplied to the above-mentioned FETs 19 and  $20_0 - 20_M$ . A clocked inverter 21 that uses a clock pulse  $\theta_{SEL}$  as a synchronization signal is connected to a drain D of the above-mentioned FET 17. A clocked inverter 22 that uses a clock pulse  $\theta_{SEL}$  that is the inverted signal of the clock pulse  $\theta_{SEL}$  as a synchronization signal is connected to a drain D of the above-mentioned FET 19. The output sides of the above-mentioned clocked inverters 21 and 22 are connected in common and this common connection point A is the data output point. The FETs other than the above-mentioned FET 17 and 19 are all p-channel types, while the FET 17 and 19 are n-channel types.

Next, the operation of the above-mentioned device is explained with reference to the timing chart shown in Fig. 3.

7

4

First, address 0, column 0 of the memory cell matrix 11 is specified by the address decoder 13 and the column decoder 15 on the even address side. During the period  $T_1$  which is the first half of the period during which the above-mentioned address decoder 13 is specifying the address 0, the clock  $\theta_{R0}$  is at the 1 level ( $+V_{DD}$  level). While the above-mentioned pulse  $\theta_{R0}$  is at the 1 level, the address line  $A_0$  only of the memory cell matrix 11 is at the 1 level, the column line  $C_0$  only is turned on, and the 0 level ( $-V_{DD}$  level) is output through the precharge FET 17 to the drain D of the FET 17. Next, during the period  $T_2$  which is the second half of the period during which the above-mentioned address decoder 13 is specifying the address 0, the clock pulse  $\theta_{R0}$  is inverted to the 0 level. When the pulse  $\theta_{R0}$  changes to the 0 level, the FET 17, which has been on hitherto, is turned off. At this time, because there is an FET at the address 0, column 0 position of the memory cell matrix 11 and because the 1 level signal on the address line  $A_0$  is input to that gate, the FET is turned off.

8

Accordingly, the drain D of the FET 17 remains as is at the 0 level even if the pulse  $\theta_{R0}$  goes to the 0 level. In addition, when the pulse  $\theta_{R0}$  is at the 0 level, the pulse  $\theta_{SEL}$  goes to the 1 level. As a result, the clocked inverter 21 operates and the inverse data from address 0, column 0 is output to data output point A.

On the other hand, from the period  $T_2$ , which is the second half of the period during which the address decoder 13 is specifying the address 0, the address 1, column 0 of the memory cell matrix 12 is specified by the address decoder 14 and the column decoder 16 on the odd address side. In other words, the address output periods of the address decoders 13 and 14 overlap by a half cycle. During the period  $T_2$ , which is the first half of the period during which the above-mentioned address decoder 14 is specifying the address 1, the clock pulse  $\theta_{R1}$  is at the 1 level. While the above-mentioned pulse  $\theta_{R1}$  is at the 1 level, the address line  $A_1$  only of the memory cell matrix 12 is at the 1 level, the column line  $C_0$  only is turned on, and the 0 level is output through the precharge FET 19 to the drain D of the FET 19.

9

Next, during the period  $T_2$  which is the second half of the period during which the address decoder 14 is specifying the address 1, the clock pulse  $\theta_{R1}$  is inverted to the 0 level. When the pulse  $\theta_{R1}$  changes to the 0 level, the FET 19, which has been on hitherto, is turned off. At this time, because there is an FET at the address 1, column 0 position of the memory cell matrix 12

5

and because the 1 level signal on the address line  $A_1$  is input to that gate, the FET is turned off. Accordingly, the drain D of the FET 19 remains as is at the 0 level even if the pulse  $\theta_{R1}$  goes to the 0 level. In addition, because the pulse  $\theta_{SEL}$  is at the 1 level when the pulse  $\theta_{R1}$  is at the 0 level, the clocked inverter 22 operates and the inverse data from address 1, column 0 is output to data output point A.

Thereafter, the two address decoders 13 and 14 specify sequential addresses while overlapping their address output periods by half a cycle, and as a result, data can be read twice the speed in comparison with the case of address specification by a single address decoder.

10

p. 543

Note that in cases where addresses are not specified sequentially, as in the case of branch instructions, data must be read at half the speed of sequential specification, that is, at the original speed. However, whether an instruction is a branching instruction or not can be decided easily using the output of an instruction decoder. Moreover, in the case of branch instructions, the clock pulses  $\theta_{R0}$ ,  $\theta_{R1}$ ,  $\theta_{SEL}$ , and  $\theta_{SEL}$  can be initialized by a simple gate circuit, allowing branch destination addresses to be specified without error.

The present invention is not limited to the above-mentioned embodiment. For example, the above-mentioned embodiment explained the case when the FETs in a memory cell matrix were divided into two blocks of even-numbered addresses and odd-numbered addresses respectively, but the memory cell matrix may be divided into any number of blocks and the speed of data reading will increase with the increase in number of blocks.

11

Further, the above-mentioned embodiment explained the case of a dynamic, positive logic Nor ROM using p-channel FETs, but needless to say, the embodiment is possible using other types of ROMs.

Thus, according to the present invention as explained above, a semiconductor memory device that is capable of high-speed operation can be provided by dividing the memory elements in a memory element circuit into a plurality of blocks and reading data from the memory elements in each block in block order using overlapping address specifications by a plurality of address decoders.

#### 4. Detailed Description of the Drawings

Figure 1 is a configuration diagram of a dynamic ROM according to the prior art.

Figure 2 is a configuration diagram of an embodiment according to the present invention.

Figure 3 is a timing chart showing the operation the above-mentioned embodiment.

11, 12: memory cell matrix; 13, 14: address decoder; 15, 16: column decoder; 17, 19: precharge FET; 180 - 18M, 200 - 20M: discharge FET;

12

21, 22: clocked inverter

Agent: Takehiko Suzue, Patent Attorney

13

Fig. 1

[see source for figure]

1. Column decoder
2. Address decoder

[end]

p. 544

Fig. 2

[see source for figure]

1. Address decoder
2. Column decoder
3. Column decoder
4. Address decoder

[end]

Fig. 3

[see source for figure]

1. Address 0
2. Address 2
3. Address 1
4. Address 3
5. Data 0
6. Data 1
7. Data 2
8. Data 3

[end]

p. 545



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭56-47996

⑫ Int. Cl.<sup>3</sup>  
G 11 C 17/00  
7/00  
11/34

識別記号  
1 0 1

庁内整理番号  
7010-5B  
7010-5B

⑬ 公開 昭和56年(1981)4月30日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ 半導体記憶装置

⑮ 特 願 昭54-121222  
⑯ 出 願 昭54(1979)9月20日  
⑰ 発 明 者 吉田茂樹  
東京都港区高輪一丁目4番10号  
日電東芝情報システム株式会社

内  
⑱ 出 願 人 超エル・エス・アイ技術研究組  
合  
川崎市高津区宮崎4丁目1番1  
号  
⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

複数の記憶素子が設けられた記憶素子回路と、  
上記記憶素子回路内の記憶素子をアドレス単位  
で複数ブロックに分割しこの各ブロック内の記  
憶素子をブロック順に重複しながらアドレス指  
定する複数のアドレスコードとを具備してな  
ることを特徴とする半導体記憶装置。

3. 発明の詳細な説明

この発明はデータの読出しを専用に行なう半  
導体記憶装置に関する。

MOS型半導体集積回路の出現は大規模な電子  
システムを低価格で提供することを可能にした。  
その良い例が電子式小型計算機でありマイクロ  
コンピュータシステムである。上記マイクロコ  
ンピュータシステムは通常、タイミングジェネ  
レータ、RAM、ROM、プログラムカウンタ、イ  
ンストラクションデコード、ALU (Arithmetic

and Logic Unit)、各種レジスタ等から構成さ  
れ、上記ROMにはこのシステムを動作させるた  
めのプログラムが格納される。そしてシステム  
が大規模になる程、上記ROMも大容量でかつ高  
速なものが求められる。マイクロコンピュータシ  
ステムをCMOS-LSI (相補MOS型高集積度集  
成回路)で構成した場合、上記ROMはPチャネル  
MOSFETで構成すると、出力に直列にメモリセル  
が結合される正論理ノアROMと、出力に並列に  
メモリセルが結合される正論理ナンドROMの2  
つの構成が考えられる。そしてインバータFET  
を用いた場合には正論理ノアROMの方が、正論  
理ナンドROMよりも高集積度を達成でき、さら  
にスケールリングによる集積度を考慮した場合で  
も、出力信号を長く引き回さなくて済む正論  
理ノアROMの方が正論理ナンドROMよりも優れ  
ている。また電力消費の点からも正論理ノア  
ROMの方が優れている。しかしながら出力に直  
列にメモリセルが結合される正論理ノアROMは、  
数10段もつらなったFETに駆動を施さなけれ

ばならないので、動作速度が遅くなるといった欠点がある。

第1図は正論型ノアROM構成の、従来のダイナミック型ROMを示す図である。

一般にダイナミック型ROMは複数のFET  $1_1, \dots, 1_n$  をメモリセルとするメモリセルマトリクス $1$ 、このメモリセルマトリクス $1$ のアドレスライン $A_0 \sim A_n$ を選択するアドレスデコード $2$ 、カラムライン $C_0 \sim C_m$ を選択するカラムデコード $3$ 、プリチャージ用のFET  $5$ 、ディスプレイ用のFET  $6_0 \sim 6_m$  から構成されている。なお上記FET  $5$ を除いた他のFETはすべてPチャネルであり、FET  $5$ のみがNチャネルである。

このようなROMにおいて、いま仮にアドレス $0$ 、カラム $0$ のデータを読み出す場合を考える。先ずプリチャージ用のFET  $5$ のゲートおよびディスプレイ用のFET  $6_0 \sim 6_m$ それぞれのゲートに入力するクロックパルス $\phi_k$ が1レベル(+ $V_{DD}$ レベル)となるタイミングでアドレスライン $A_0$ のみ1レベル、カラムラインは $C_0$ の

特開56-47998(2)

オン状態となり、FET  $5$ を介してこのFET  $5$ のドレインすなわちA点に0レベル(- $V_{DD}$ レベル)が出力される。次に $\phi_k$ が0レベルになると、いままでオンしていたFET  $5$ がオフする。このときアドレスライン $A_0$ の1レベル信号をゲート入力とするメモリセルマトリクス $1$ 内のFET  $1_1$ はオフ状態となっているため、A点は0レベルのままとなりデータとして0レベルが出力される。この後順次データが読み出され、アドレス $0$ 、カラム $m$ となると、メモリセルマトリクス $1$ 内のこの部分にはFETは存在しないので $\phi_k$ が1レベルから0レベルに反転すると、A点の0レベル信号は他のアドレスのFETを通過して $+V_{DD}$ 側に流れて行き、十分な時間の後にはA点は1レベルとなりデータとして1レベルが出力される。このように従来のダイナミック型ROMではデータとして1レベルを読み出す際に、放電電流を多くのFETを介して $+V_{DD}$ 側に流さなければならないので動作速度が遅くなってしまう。

ここで上記ROMの最高動作周波数がRAM、プログラムカウンタ等の回路の最高動作周波数に比較して半分しかないと仮定すると、このROMを用いてマイクロコンピュータシステムを構成すれば、システム全体の最高動作周波数はROMの最高動作周波数に一致し、システムの動作周波数は低いものになってしまう。

この発明は上記のような事情を考慮してなされたものであり、その目的は、高速動作が可能な半導体記憶装置を提供することにある。

以下、図面を参照してこの発明の一実施例を説明する。第2図はこの発明に係る半導体記憶装置の一実施例の構成図であり、ここでは従来と同様にダイナミック型ROMが示されている。図において $1_1, 1_2$ はそれぞれ複数のFETをメモリセルとするメモリセルマトリクスであり、一方のメモリセルマトリクス $1_1$ 内の各FETには偶数アドレスが、一方のメモリセルマトリクス $1_2$ 内の各FETには奇数アドレスがそれぞれ割り付けられている。すなわち、上記2

つのメモリセルマトリクス $1_1, 1_2$ は、1つのメモリセルマトリクス内のFETをそのアドレスの偶数、奇数に従って2つのブロックに分割したものである。アドレスデコード $2$ はこのうち、上記偶数アドレスが割り付けられたブロックのメモリセルマトリクス $1_1$ のアドレスライン $A_0 \sim A_{2k}$ を選択し、もう1つのアドレスデコード $2$ は上記奇数アドレスが割り付けられたブロックメモリセルマトリクス $1_2$ のアドレスライン $A_1 \sim A_{2k+1}$ を選択する。カラムデコード $3$ は上記アドレスデコード $2$ と同期して動作し、メモリセルマトリクス $1_1$ のカラムライン $C_0 \sim C_m$ を選択する。さらにもう1つのカラムデコード $3$ は上記アドレスデコード $2$ と同期して動作し、メモリセルマトリクス $1_2$ のカラムライン $C_0 \sim C_m$ を選択する。またFET  $1_7$ は偶数アドレス側ブロックのメモリセルマトリクス $1_1$ のプリチャージ用のものであり、FET  $1_8, 1_9$ はディスプレイ用のものである。さらにFET  $1_8$ は奇数アドレス側ブロック

のメモリセルマトリクス12のプリチャージ用のものであり、FET 30、31はアスタビリティ用のものである。そして上記FET 17、18、19の各ゲートにはクロックパルス $\phi_{10}$ が、また上記FET 19、20、21の各ゲートにはクロックパルス $\phi_{11}$ と位相が180度ずれたクロックパルス $\phi_{12}$ がそれぞれ供給される。また上記FET 17のドレインDにはクロックパルス $\phi_{13}$ を同期信号とするクロックドインバータ22が接続されるとともに、上記FET 19のドレインDにはクロックパルス $\phi_{13}$ の反転信号である $\phi_{14}$ を同期信号とするクロックドインバータ23が接続される。そして上記2つのクロックドインバータ22、23の出力端は共通接続され、この共通接続点Aをゲート出力点としている。なお上記FET 17、19を除いた他のFETはすべてPチャネルで構成されており、このFET 17、19はNチャネルで構成されている。

次に上記のように構成された装置の動作を

7

でこのFETはオフ状態となっている。したがってパルス $\phi_{10}$ が0レベルになってもFET 17のドレインDは0レベルのままである。またパルス $\phi_{11}$ が0レベルのときはパルス $\phi_{12}$ は1レベルとなるため、クロックドインバータ22が作動してゲート出力点Aにはアドレス0、カラム0の反転データが出力されることになる。

一方アドレスデコード13がアドレス0を指定している後半のT<sub>1</sub>の期間から、奇数アドレス側のアドレスデコード14およびカラムデコード15によりメモリセルマトリクス12のアドレス1、カラム0が指定される。すなわちアドレスデコード13、14のアドレスの出力期間は半周期オーバーラップすることになる。上記アドレスデコード14がアドレス1を指定している前半のT<sub>1</sub>の期間では、クロックパルス $\phi_{11}$ は1レベルになっている。上記パルス $\phi_{11}$ が1レベルとなっているタイミングでメモリセルマトリクス12のアドレスラインA<sub>1</sub>のみが1レベル、カラムラインC<sub>0</sub>のみがオンし、

8

図56-47996(3)

3図に示すタイミングチャートを併用して説明する。先ず偶数アドレス側のアドレスデコード13およびカラムデコード15によりメモリセルマトリクス12のアドレス0、カラム0が指定される。上記アドレスデコード13がアドレス0を指定している前半のT<sub>1</sub>の期間では、クロック $\phi_{10}$ は1レベル(+V<sub>DD</sub>レベル)になっている。上記パルス $\phi_{10}$ が1レベルとなっているタイミングでメモリセルマトリクス12のアドレスラインA<sub>0</sub>のみが1レベル、カラムラインC<sub>0</sub>のみがオンし、プリチャージ用のFET 17を介してこのFET 17のドレインDに0レベル(-V<sub>SS</sub>レベル)が出力される。次にアドレスデコード13がアドレス0を指定している後半のT<sub>1</sub>の期間では、クロックパルス $\phi_{10}$ は0レベルに反転する。パルス $\phi_{10}$ が0レベルになると、いままでオンしていたFET 17がオフする。このときメモリセルマトリクス12のアドレス0、カラム0位置にFETは存在し、アドレスラインA<sub>0</sub>の1レベル信号がそのゲートに入力している

8

プリチャージ用のFET 17を介してこのFET 19のドレインDに0レベルが出力される。次にアドレスデコード14がアドレス1を指定している後半のT<sub>1</sub>の期間では、クロックパルス $\phi_{11}$ は0レベルに反転する。パルス $\phi_{11}$ が0レベルになると、いままでオンしていたFET 19がオフする。このときメモリセルマトリクス12のアドレス1、カラム0位置にFETは存在し、アドレスラインA<sub>1</sub>の1レベル信号がそのゲートに入力しているのでFETはオフ状態となっている。したがってパルス $\phi_{11}$ が0レベルになってもFET 19のドレインDは0レベルのままである。またパルス $\phi_{12}$ が0レベルのときはパルス $\phi_{13}$ は1レベルとなるため、クロックドインバータ23が作動してゲート出力点Aにはアドレス1、カラム0の反転データが出力されることになる。

以下、2つのアドレスデコード13、14でアドレスの出力期間を半周期ずつオーバーラップさせながら順次アドレス指定にいくことにより、

10

1つのアドレスコードでアドレス指定する場合に比較して2倍の速度でデータを読み出すことが可能になる。

なお、分岐命令等アドレスが固定されない場合には、固定指定の半分の速度つまり本来の速度でデータを読み出すなければならないが、その命令が分岐命令か否かはインストラクションコードの出力によって簡単に判別することができる。そして分岐命令の場合には簡単なゲート回路によりクロックパルス $\phi_{R0}$ 、 $\phi_{R1}$ 、 $\phi_{R2}$ 、 $\phi_{R3}$ を初期化することによって、誤まりなく分岐先のアドレス指定を行なうことができる。

この発明は上記の一実施例に限定されるものではなく、たとえば上記実施例ではメモセルマトリクス内のFETをそのアドレスの偶数、奇数に従って2つのブロックに分割した場合を説明したが、これはいくつのブロックに分割しても良く、このブロックの数が増加する程データの読み出し速度を高速化することができる。

11

12FET、21、22…クロックドインバータ。

出願人代理人 弁理士 鈴 江 武 彦

特開56- 47996(4)

さらに上記実施例ではPチャネルFETによるダイナミック型正論理ノアROMの場合について説明したが、これは他の方式のROMについても実施可能なことはいうまでもない。

以上、説明したようにこの発明によれば、記憶素子回路内の記憶素子をアドレス単位で複数ブロックに分割し、この各ブロック内の記憶素子を複数のアドレスコードによってブロック順に重複しながらアドレス指定してデータを読み出すようにしたので、高速動作が可能な半導体記憶装置を提供することができる。

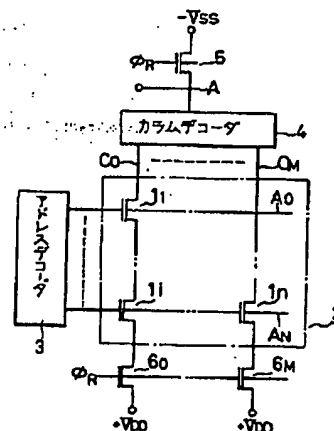
#### 4. 図面の簡単な説明

第1図は従来のダイナミック型ROMの構成図、第2図はこの発明の一実施例の構成図、第3図は上記実施例の動作を示すタイミングチャートである。

11、12…メモセルマトリクス、13、14…アドレスコード、15、16…コラムデコード、17、18…プリチャージ用のFET、19、20…ディスタージ用の

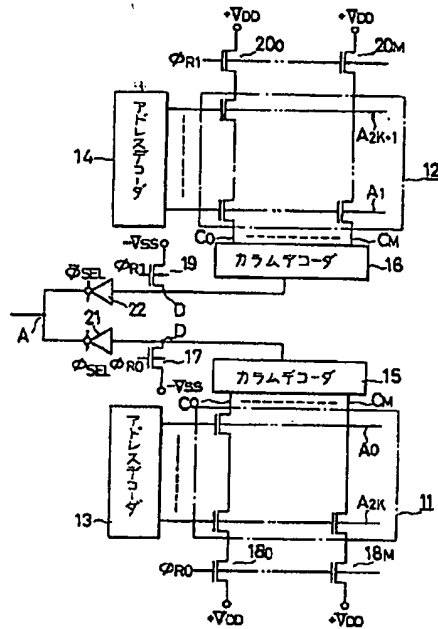
12

第1図



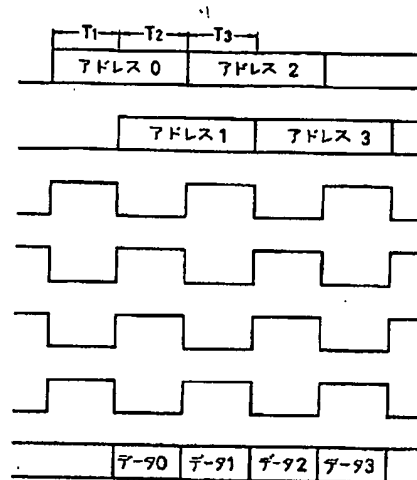
13

第 2 図



特開昭56- 47998(5)

第 3 図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**